

Docket No.: 61282-047

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Isamu ISHIMURA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: December 16, 2003	:	Examiner:
	:	
For: CPU CONTAINED LSI	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:
Japanese Patent Application No. (P) 2002-364231, was filed on December 16, 2002.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: December 16, 2003

61282-047

Isamu ISHIMURA, et al.

December 16, 2003

McDermott, Will & Emery

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月16日

出 願 番 号

Application Number:

特願2002-364231

[ST.10/C]:

[JP 2002-364231]

出 願 人

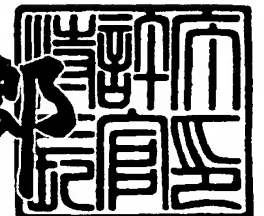
Applicant(s):

松下電器産業株式会社

2003年 7月 1日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051975

【書類名】 特許願

【整理番号】 5037740112

【提出日】 平成14年12月16日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/16510

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 石村 勇

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 町田 忍

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100105647

 【弁理士】

 【氏名又は名称】 小栗 昌平

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100105474

 【弁理士】

 【氏名又は名称】 本多 弘徳

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100108589

 【弁理士】

【氏名又は名称】 市川 利光

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 CPU内蔵LSI

【特許請求の範囲】

【請求項1】 内蔵CPUと、前記内蔵CPUに接続された第1のバスと、外部CPUに接続された第2のバスと、前記第1のバスと前記第2のバスとの間に配置され、前記第1のバスに接続されたデバイスに対する前記外部CPUおよび前記内蔵CPUからのアクセスを排他的に制御し、前記外部CPUが前記第1のバスに接続されたデバイスに対するアクセスを許可されたときにのみ前記第2のバスを前記第1のバスに結合するバス調停回路とを備えたことを特徴とするCPU内蔵LSI。

【請求項2】 前記バス調整回路は、前記内蔵CPUによる前記第1のバスに接続されたデバイスへのアクセス中に、前記外部CPUから前記第1のバスに接続されたデバイスに対するアクセス要求が発生すると、前記内蔵CPUへバス解放要求信号を伝えるとともに前記外部CPUへウェイト信号を伝え、前記内蔵CPUからバス解放完了信号を受け取ると前記ウェイト信号を解除し、前記第1のバスに接続されたデバイスに対する前記外部CPUからのアクセスを許可することを特徴とする請求項1記載のCPU内蔵LSI。

【請求項3】 前記バス調停回路は、前記内蔵CPUの動作停止が設定されると、前記バス解放要求信号を前記内蔵CPUに伝えることなく、前記第1のバスに接続されたデバイスに対する前記外部CPUからのアクセスを許可することを特徴とする請求項2記載のCPU内蔵LSI。

【請求項4】 前記第1のバスに接続された共有メモリを備えることを特徴とする請求項1から3のいずれか一項記載のCPU内蔵LSI。

【請求項5】 前記第1のバスに接続され、前記CPU内蔵LSIを動作させるプログラムを格納するメモリデバイスを備えることを特徴とする請求項1から4のいずれか一項記載のCPU内蔵LSI。

【請求項6】 前記バス調停回路は、前記内蔵CPUと前記外部CPUとの間における割り込み通知を行うための割り込み制御回路を備えることを特徴とする請求項1から5のいずれか一項記載のCPU内蔵LSI。

【請求項 7】 前記割り込み制御回路は、割り込み要因のビット割り当て設定がプログラム可能な複数ビットを有する割り込み要因レジスタと、前記割り込み要因レジスタのビット論理和を割り込み信号として出力する回路とを備えることを特徴とする請求項 6 記載の CPU 内蔵 L S I。

【請求項 8】 前記第 1 のバスに接続されたメモリデバイスは R A M であり、前記 CPU 内蔵 L S I の起動時に、前記外部 CPU が前記第 2 のバスに接続された外部メモリから前記 R A M へ前記内蔵 CPU を動作させるプログラムをロードすることを特徴とする請求項 5 記載の CPU 内蔵 L S I。

【請求項 9】 前記バス調停回路は、書き込みアドレスレジスタと書き込みデータレジスタとを備え、前記外部 CPU は、前記内蔵 CPU を動作させるプログラムを前記 R A M へロードする際に、前記 R A M のアドレスを前記書き込みアドレスレジスタに設定し、前記 R A M に書き込むデータを前記書き込みデータレジスタに書き込むことを特徴とする請求項 8 記載の CPU 内蔵 L S I。

【請求項 1 0】 前記書き込みアドレスレジスタは、前記書き込みデータレジスタへの書き込みが発生する度にインクリメントされることを特徴とする請求項 9 記載の CPU 内蔵 L S I。

【請求項 1 1】 第 1 の内蔵 CPU と、第 2 の内蔵 CPU と、前記第 1 の内蔵 CPU に接続された第 1 のバスと、前記第 2 の内蔵 CPU に接続された第 2 のバスと、前記第 1 のバスと前記第 2 のバスとの間に配置され、前記バス調停回路は、前記第 1 のバスに接続されたデバイスに対する前記第 2 の内蔵 CPU および前記第 1 の内蔵 CPU からのアクセスを排他的に制御し、前記第 2 の内蔵 CPU が前記第 1 のバスに接続されたデバイスに対するアクセスを許可されたときのみ前記第 2 のバスを前記第 1 のバスに結合するバス調停回路とを備えたことを特徴とする CPU 内蔵 L S I。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、内蔵 CPU と外部 CPU とが共有バスをアクセスするシステム構成におけるバス制御機能を備えた CPU 内蔵 L S I に関するものである。

【 0 0 0 2 】

【従来の技術】

近年、システム L S I が複雑化／大規模化する中で、システム L S I の制御を行うソフトウェアにおいても複雑化／大規模化が進んでいる。これに伴い、システム L S I が実現する機能をセット商品に実装する際に、ソフトウェア実装工数の増加が最大の課題となってきた。

【 0 0 0 3 】

そこで、システム L S I に C P U を内蔵し、システム L S I の制御ソフトウェアを内蔵 C P U に実行させることにより、複雑なソフトウェア処理をシステム L S I 内に隠蔽する方法がトレンドになりつつある。この方法は、U S B、I E E E 1 3 9 4 等の後付け機能となることが多いインターフェース系を有するシステム L S I に多用されている。

【 0 0 0 4 】

前述の C P U を内蔵したシステム L S I をセット商品のシステムに実装する場合、セット商品システムに既存する C P U と内蔵 C P U との間の通信が必要となる。通信方法は、シリアルバス接続による方法と、パラレルバスによるバス共有の方法に大別されるが、大量のデータを通信する場合は、通信速度の面からパラレルバスによるバス共有を採用しメモリ共有を行うことが多い。

【 0 0 0 5 】

ここで図 6 を用いて、2 つの C P U が外部拡張バスを共有してメモリ共有を行うことによりデータ通信を実現する従来のシステム構成を説明する。図 6 に示すように、システムは C P U 内蔵システム L S I 1 0 0、C P U b 2 0 0、C P U b が制御する被制御デバイス b 2 0 1 から構成される。さらに、C P U 内蔵システム L S I 1 0 0 は、C P U a 1 0 1、C P U a の処理プログラムを格納する R O M 1 0 2、C P U a が制御する被制御デバイス a 1 0 3、C P U a と C P U b がデータ通信を行うための共有メモリ 1 0 4 から構成される。

【 0 0 0 6 】

C P U b 2 0 0 は、外部拡張されたアドレスバス／データバスを介して、被制御デバイス b 2 0 1 と C P U 内蔵システム L S I 1 0 0 の 2 つのデバイスを制御

する構成となり、CPU内蔵システムLSI100を制御する際は共有メモリ104を介して制御を行う。

【0007】

CPUa101は外部拡張されたアドレスバス／データバスをCPUb200と共有しており、この共有バスを介してROM102から処理プログラムを読み出し、これを実行しながら被制御デバイスa103の制御を行うとともに、共有メモリ104を介してCPUb200からの制御を受ける。

【0008】

また、CPUa101とCPUb200はそれぞれバス調停機能を備えており、CPUb200が共有バスを使用して被制御デバイスb201や共有メモリ104にアクセスする際は、以下の手順でバスの使用权を獲得してアクセスを行う。

【0009】

(1) CPUb200がCPUa101に対してバス開放要求信号BREQをアサートする。

(2) CPUa101は共有バスへのアクセスを停止して、CPUb200に対してバス開放完了信号BACKをアサートする。

(3) CPUb200は被制御デバイスb201あるいは共有メモリ104へのアクセスを完了すると、CPUa101に対するBREQ信号をネゲートする。

(4) CPUa101はBREQ信号のネゲートを確認してからBACK信号をネゲートする。

【0010】

同様に、CPUaが共有バスを使用してROM102、被制御デバイスa103および共有メモリ104にアクセスする場合に関しても、CPUb200にバス開放要求信号BREQを出してバスの使用权を獲得し、上記と同様の処理を行う。

【0011】

このような複数のCPUがバスを共有するシステムにおける、共有バスの使用

権を獲得するためのバス調停に関しては優先度制御の課題があり、従来各種方式が提案されている。例えば、特許文献1に記載のものは、複数のCPUのバス使用権の要求／許可信号をリング状に接続し、固定的な優先度制御を排除するものである。

【0012】

【特許文献1】

特開平5-282246号公報

【0013】

【発明が解決しようとする課題】

しかしながら、上記従来のシステム構成では、通常、CPU a 1 0 1はROM 1 0 2から処理プログラムを読み出し実行しているが、CPU b 2 0 0が被制御デバイスb 2 0 1や共有メモリ1 0 4にアクセスする度に、CPU b 2 0 0が共有バスを使用するためにCPU a 1 0 1がROM 1 0 2にアクセスできなくなり、CPU a 1 0 1は処理を停止する必要がある。その結果、CPU a 1 0 1の処理効率が著しく低下するという問題が生じていた。

【0014】

また、CPU b 2 0 0がCPU内蔵システムLSI 1 0 0を制御するためには必ず上記BREQ信号とBACK信号を用いたバス調停機能を備えている必要があり、CPU b 2 0 0の品種の選択範囲が制限される点も問題であった。

【0015】

さらに、CPU内蔵システムLSI 1 0 0が後付けのインターフェース系を有するシステムLSIである場合など、CPU b 2 0 0がシステム全体の制御を行うマイコンである場合では、全体の制御を司るCPU b 2 0 0の動作をCPU a 1 0 1に対して優先させたいことが多い。

【0016】

しかしながら、従来の構成においては、CPU a 1 0 1とCPU b 2 0 0がバスに対して対等の権限をもっているため、CPU b 2 0 0の動作中にCPU a 1 0 1が共有バスにアクセスすると割り込みが生じ、CPU b 2 0 0がシステム全体の制御を行えなくなり、セットとしても処理効率が低下するという問題もあった。

た。

【0017】

本願発明は上記事情に鑑みてなされたものであり、CPU内蔵LSIが他のCPUとバスを共有するシステムにおいて、それぞれのCPUが常時使用するデバイスがバスに接続されている場合に、それぞれのCPUがそれぞれ常時使用するデバイスを同時にアクセスしあるいは制御することを可能にする機構を備えたCPU内蔵LSIを提供し、システムの処理効率を上げることを第1の課題とする。

【0018】

また、CPU内蔵LSIがバス調停回路を備えていない他のCPUとバスを共有するシステムにおいても、共有バスを介して他のCPUを制御することが可能なCPU内蔵システムLSIを提供することを第2の課題とする。さらに、特定のCPUを優先動作させることを第3の課題とする。

【0019】

【課題を解決するための手段】

この課題を解決するために、請求項1に係る発明は、内蔵CPUと、前記内蔵CPUと接続された第1のバスと、外部CPUと接続された第2のバスと、前記第1のバスと前記第2のバスとの間に配置され、前記バス調停回路は、前記第1のバスに接続されたデバイスに対する前記外部CPUおよび前記内蔵CPUからのアクセスを排他的に制御し、前記外部CPUが前記第1のバスに接続されたデバイスに対するアクセスを許可されたときにのみ前記第2のバスを前記第1のバスに結合するバス調停回路とを備える。

【0020】

上記構成によれば、内蔵CPUと接続された第1のバスと、外部CPUと接続された第2のバスが両者の間に配置されたバス調停回路により分離され、バス調停回路の排他的アクセス制御により、第1のバスに接続されたデバイスを内蔵CPUと外部CPUとが共有するとともに、外部CPUが第2のバスに接続されたデバイスをアクセス中であっても、内蔵CPUは第1のバスに接続されたデバイスをアクセスすることができるため、システムの処理効率を低下させることがな

い。

【 0 0 2 1 】

請求項 2 に係る発明は、請求項 1 記載の CPU 内蔵 L S I において、前記バス調停回路は、内蔵 CPU による第 1 のバスに接続されたデバイスへのアクセス中に、外部 CPU から第 1 のバスに接続されたデバイスに対するアクセス要求が発生すると、内蔵 CPU へバス解放要求信号を伝えるとともに外部 CPU へウェイト信号を伝え、内蔵 CPU からバス解放完了信号を受け取ると前記ウェイト信号を解除し、第 1 のバスに接続されたデバイスに対する外部 CPU からのアクセスを許可する。

【 0 0 2 2 】

上記構成によれば、バス調停回路にバス開放要求信号とバス開放完了信号を用いた調停制御だけでなくウェイト信号を用いた調停機能を備えることにより、外部 CPU がバス調停機能を備えていなくてもバス調停を実現できるとともに、外部 CPU が内蔵 CPU に優先して動作することが可能になるため、特に外部 CPU がシステム全体の制御を司る場合にはシステム全体のパフォーマンス低下に与える影響を最小限に抑えることができる。

【 0 0 2 3 】

請求項 3 に係る発明は、請求項 2 記載の CPU 内蔵 L S I において、前記バス調停回路は、内蔵 CPU の動作停止が設定されると、バス解放要求信号を内蔵 CPU に伝えることなく、第 1 のバスに接続されたデバイスに対する外部 CPU からのアクセスを許可する。

【 0 0 2 4 】

上記構成によれば、内蔵 CPU の動作停止が設定されたときには、バス調停回路は内蔵 CPU からのバス解放完了信号を待つステップをスキップして外部 CPU からのアクセスを許可することができる。これにより、例えば CPU を内蔵しないシステム L S I に対して作成された処理プログラムにおいても、外部 CPU を用いて L S I を動作させることが可能となるので、処理プログラムの互換性を高めることができる。

【 0 0 2 5 】

請求項 4 に係る発明は、請求項 1 から 3 のいずれか一項記載の CPU 内蔵 L S I において、第 1 のバスに接続された共有メモリを備える。

【 0 0 2 6 】

上記構成によれば、バス調停回路の排他的アクセス制御により外部 CPU からバス調停回路の存在を意識することなく共有メモリへのアクセスを行い CPU 内蔵システム L S I を制御することができ、システム全体のパフォーマンス低下に与える影響を最小限に抑えながら、内蔵 CPU と外部 CPU とが共有メモリを使用してデータ通信を行うことができる。

【 0 0 2 7 】

請求項 5 に係る発明は、請求項 1 から 4 のいずれか一項記載の CPU 内蔵 L S I において、第 1 のバスに接続され、CPU 内蔵 L S I を動作させるプログラムを格納するメモリデバイスを備える。

【 0 0 2 8 】

上記構成によれば、バス調停回路の排他的アクセス制御により、外部 CPU が第 2 のバスに接続されたデバイスをアクセス中であっても、内蔵 CPU は第 1 のバスに接続されたメモリデバイスからプログラムを読み出し実行することができるため、内蔵 CPU の処理効率が低下するという問題が生じない。

【 0 0 2 9 】

請求項 6 に係る発明は、請求項 1 から 5 のいずれか一項記載の CPU 内蔵 L S I において、前記バス調停回路は、前記内蔵 CPU と前記外部 CPU との間における割り込み通知を行うための割り込み制御回路を備える。

【 0 0 3 0 】

上記構成によれば、バス調停回路に割り込み制御回路を備えることにより、内蔵 CPU と外部 CPU とが共有する第 1 のバスの使用に関する割り込み通知を行うことができ、例えば、共有メモリへの書き込み完了等の通知に使用することができる。

【 0 0 3 1 】

請求項 7 に係る発明は、請求項 6 記載の CPU 内蔵 L S I において、前記割り込み制御回路は、割り込み要因のビット割り当て設定がプログラム可能な複数ビ

ットを有する割り込み要因レジスタと、この割り込み要因レジスタのビット論理和を割り込み信号として出力する回路とを備える。

【 0 0 3 2 】

上記構成によれば、割り込みの要因のビット割り当て設定がプログラム可能な割り込み要因レジスタを備えることにより、そのビットをプログラマが自由に割り込み要因に割り付けることができ、処理プログラムの自由度を高めることができる。

【 0 0 3 3 】

請求項 8 に係る発明は、請求項 5 記載の CPU 内蔵 L S I において、前記第 1 のバスに接続されたメモリデバイスは RAM であり、CPU 内蔵 L S I の起動時に、外部 CPU が第 2 のバスに接続された外部メモリから前記 RAM へ内蔵 CPU を動作させるプログラムをロードするものである。

【 0 0 3 4 】

上記構成によれば、CPU 内蔵 L S I を動作させるプログラムを格納するメモリデバイスを RAM にすることにより、プログラムを ROM 化するリスクを避けることができ、かつ内蔵 CPU の処理速度を向上させることができる。また、フラッシュ ROM を外部 CPU と内蔵 CPU とで共有することにより、システム全体のコストを削減することができる。

【 0 0 3 5 】

請求項 9 に係る発明は、請求項 8 記載の CPU 内蔵 L S I において、前記バス調停回路は書き込みアドレスレジスタと書き込みデータレジスタとを備え、前記外部 CPU は、内蔵 CPU を動作させるプログラムを RAM へロードする際に、RAM のアドレスを前記書き込みアドレスレジスタに設定し、RAM に書き込むデータを前記書き込みデータレジスタに書き込む。

【 0 0 3 6 】

上記構成によれば、外部 CPU が RAM へプログラムをロードする際に、アドレス指定レジスタおよびデータレジスタを介して RAM への書き込みを行うことにより、外部 CPU からアクセス指定するアドレスとしてレジスタのアドレスを指定すれば良いだけになるため、外部 CPU からアクセスするメモリ空間を削減

することができ、CPU内蔵LSIと外部CPU間のアドレスバスの端子数を削減することができる。

【0037】

請求項10に係る発明は、請求項9記載のCPU内蔵LSIにおいて、前記書き込みアドレスレジスタは、前記書き込みデータレジスタへの書き込みが発生する度にインクリメントされる。

【0038】

上記構成によれば、書き込みアドレスレジスタが書き込みデータレジスタへの書き込みが発生する度にインクリメントされるため、プログラムをRAMの連続したアドレスに書き込む場合はアドレス指定レジスタを毎回書き換える必要がなくなる。

【0039】

請求項11に係る発明は、第1の内蔵CPUと、第2の内蔵CPUと、前記第1の内蔵CPUに接続された第1のバスと、前記第2の内蔵CPUに接続された第2のバスと、前記第1のバスと前記第2のバスとの間に配置され、前記バス調停回路は、前記第1のバスに接続されたデバイスに対する前記第2の内蔵CPUおよび前記第1の内蔵CPUからのアクセスを排他的に制御し、前記第2の内蔵CPUが前記第1のバスに接続されたデバイスに対するアクセスを許可されたときにのみ前記第2のバスを前記第1のバスに結合するバス調停回路とを備える。

【0040】

上記構成によれば、第1の内蔵CPUに接続された第1のバスと、第2の内蔵CPUに接続された第2のバスが両者の間に配置されたバス調停回路により分離され、バス調停回路の排他的アクセス制御により、第1のバスに接続されたデバイスを第1の内蔵CPUと第2の内蔵CPUとが共有するとともに、第2の内蔵CPUが第2のバスに接続されたデバイスをアクセス中であっても、第1の内蔵CPUは第1のバスに接続されたデバイスをアクセスすることができる。これにより、システムの処理効率を低下させることのないCPU内蔵LSIが得られる。

【0041】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明するが、これによって本発明の技術的範囲が制限されるものではない。

【0042】

図1は本発明の第1の実施形態に係るCPU内蔵LSIを用いたシステム構成を示すブロック図である。図1において、システムはCPU内蔵システムLSI100、CPUb200、CPUbが制御する被制御デバイスb201から構成される。さらに、CPU内蔵システムLSI100は、CPUa101、CPUaの処理プログラムを格納するROM102、CPUaが制御する被制御デバイスa103、CPUaとCPUbがデータ通信を行うための共有メモリ104、バス調停回路105から構成される。

【0043】

CPUb200は、CPUbアドレスバス211およびCPUbデータバス212を介して、CPU内蔵システムLSI100と被制御デバイスb201の2個のデバイスを制御する。またCPUb200は、CPU内蔵システムLSI100と被制御デバイスb201を、2本のチップセレクト信号CSb0、CSb1を用いてそれぞれアクセスする。

【0044】

CPUa101は、バス調停回路105と共有アドレスバス111および共有データバス112を介して、ROM102、被制御デバイスa103、共有メモリ104にアクセスする。ROM102はCPUa101の処理プログラムを格納しており、CPUa101はROM102に格納された処理プログラムを読み出しながら処理を実行する。共有メモリ104は、CPUa101とCPUb200の両CPUからのアクセスを受け、CPUb200は共有メモリ104を介してCPU内蔵システムLSI100を制御する。

【0045】

バス調停回路105は、CPUa101とCPUb200の両CPUからのアクセスを調停し、共有アドレスバス111および共有データバス112を介して、ROM102、被制御デバイスa103、共有メモリ104へのアクセスを行

う。

【0046】

このとき、バス調停回路105は、CPUa100、CPUb200からのアクセスにおいて指定されたアドレスにより、特定のアドレスにマッピングされたROM102、被制御デバイスa103、共有メモリ104に対して、それぞれにチップセレクト信号CS0、CS1、CS2を出力してアクセスを行う。

【0047】

図2はCPUb200から共有メモリ104へのアクセスにおける制御動作を説明するタイミングチャートである。以下、図1と図2を用いて、CPUb200が共有メモリ104にアクセスする際の動作を説明する。

【0048】

(1) CPUb200が共有メモリ104にアクセスしていないときは、WAIT信号は“H”となっている。CPUb200は、共有メモリ104にアクセスするために、CSb0を“L”にアサートする(図2の①)。

【0049】

(2) バス調停回路105は、CSb0の“L”極性を検出し、CPUa101に対してバス開放要求信号BREQを“H”にアサートする(図2の②)。この時点では、WAIT信号を“H”に保ちCPUb200をウェイト状態にさせておく。ウェイト状態のときは、バス調停回路105はCPUbアドレスバス211からのアドレス入力を共有アドレスバス111へ出力しない。

【0050】

(3) CPUa101は、BREQ信号を受けて共有バスへのアクセスを停止し、CPUbに共有バスを開放し、開放が完了するとバス解放完了信号BACKを“H”にアサートする(図2の③)。

【0051】

(4) バス調停回路105は、BACK信号を確認すると、CPUbアドレスバス211からのアドレス入力を共有アドレスバス111に出力し、CPUb200からのアクセスを実行させ、WAIT信号を“L”にアサートしてCPUb200へのウェイト状態を解除する(図2の④)。

【 0 0 5 2 】

(5) CPU b 2 0 0 は、W A I T 信号の “ L ” 極性を検出してウェイト状態が解除されたことを知ると共有メモリ 1 0 4 へのアクセスを行う。アクセスが完了すると C S b 0 信号をネゲートする (図 2 の ⑤) 。

【 0 0 5 3 】

(6) バス調停回路 1 0 5 は C S b 0 信号のネゲートを確認すると、W A I T 信号をネゲートするとともに、B R E Q 信号をネゲートしてバス使用权を CPU a 1 0 1 に戻す。バス使用权が戻ると CPU a 1 0 1 は B A C K 信号をネゲートする。

【 0 0 5 4 】

なお、上述の動作と平行して、CPU a 1 0 1 と CPU b 2 0 0 とは割り込み信号 I R Q 0 、 I R Q 1 を用いて互いに割り込み制御をする。例えば、割り込みによって CPU a 1 0 1 あるいは CPU b 2 0 0 は共有バスへのアクセスを停止する。割り込み信号 I R Q については後でさらに詳述する。

【 0 0 5 5 】

CPU b 2 0 0 が共有メモリ 1 0 4 にアクセス中に CPU a 1 0 1 が共有バスにアクセスしようとしたときは、B R E Q 信号が “ H ” であるために CPU a 1 0 1 のアクセスは許可されない。

【 0 0 5 6 】

CPU b 2 0 0 が被制御デバイス b 2 0 1 をアクセスしているときには C S b 0 信号はアサートされないので、CPU a 1 0 1 は共有バスを開放する必要は無く、CPU a 1 0 1 は継続して ROM 1 0 2 から処理プログラムを読み出し実行することができる。

【 0 0 5 7 】

以上のように、CPU b 2 0 0 が W A I T 信号を用いたハンドシェーク機能を使用することにより、CPU b 2 0 0 が CPU a 1 0 1 に優先して動作することができる。これにより、特に CPU b 2 0 0 がシステム全体の制御を司る場合などは、システム全体のパフォーマンス低下に与える影響を最小限に抑えることができる。

【0058】

なお、図1の構成において、バス調停回路105はCPUa101の動作を完全に停止させる機能を有していても良い。CPUa101が停止している場合は、バス調停回路105はBACK信号を内部で“H”に固定することにより、前記(2)、(3)のフェーズをスキップしてCPUb200からのアクセスを実行することができる。これにより、例えばCPUを内蔵しないシステムLSIに対して作成された処理プログラムにおいても、CPUb200を用いてLSIを動作させることが可能となるので、処理プログラムの互換性を高めることができる。

【0059】

次に、本発明の第2の実施形態について説明する。第2の実施形態においては、CPU内蔵システムLSI100の中のROM部分をRAMとしている。近年のソフトウェアはその複雑さから潜在バグが多く、処理プログラムをROM化することは極めてリスクが高い。

【0060】

そこで、近年ではフラッシュROMのような不揮発性メモリをCPUに外付けし、このフラッシュROMに処理プログラムを格納して書き換え可能にしておくことが多い。また、フラッシュROMはアクセス速度が遅いためCPUの処理速度が低下する。そこで、LSIに内蔵RAMを設け、ブート時に処理プログラムをフラッシュROMからRAMにロードし、RAM上の処理プログラムでCPUを動作させる手法をとる場合がある。

【0061】

しかしながら、図1のようにCPUが複数存在するシステムでは、CPU毎にフラッシュROMを設けることはコスト面から望ましくない。そこで、第2の実施形態においては、CPU内蔵システムLSI100に処理プログラム格納用のRAMを設け、CPUb200は外付けのフラッシュROMで動作する環境にするとともに、CPUa101とCPUb200の両CPUの処理プログラムを1個のフラッシュROMに格納して、ブート時にCPUb200がCPUa101用の処理プログラムをRAMにロードする形態とする。

【 0 0 6 2 】

図 3 は、上記のように構成された、本発明の第 2 の実施形態に係る CPU 内蔵 LSI を用いたシステム構成を示すブロック図である。図 3 において、図 1 と同じ構成要素には同一符号を付し、それぞれの説明を省略する。図 3 においては、新たに CPU b が制御するフラッシュ ROM 2 0 2 が用意され、また、ROM 1 0 2 の代わりに処理プログラムを格納する RAM として I RAM 1 0 6 が共有バスに接続されている。

【 0 0 6 3 】

CPU b 2 0 0 は、CPU b アドレスバス 2 1 1 および CPU b データバス 2 1 2 を介して、CPU 内蔵システム LSI 1 0 0、被制御デバイス b 2 0 1、フラッシュ ROM 2 0 2 の 3 つのデバイスを制御する。このとき、CPU b 2 0 0 は、これらの 3 つのデバイスを 3 本チップセレクト信号 CS b 0、CS b 1、CS b 2 を用いてそれぞれアクセスする。

【 0 0 6 4 】

フラッシュ ROM 2 0 2 は CPU b 2 0 0 の処理プログラムおよび CPU a 1 0 1 の処理プログラムを格納しており、CPU b 2 0 0 はフラッシュ ROM 2 0 2 に格納された処理プログラムを読み出しながら処理を実行する。

【 0 0 6 5 】

I RAM 1 0 6 には、起動時に CPU b 2 0 0 により CPU a 1 0 1 の処理プログラムが格納され、CPU a 1 0 1 は I RAM 1 0 6 に格納された処理プログラムを読み出しながら処理を実行する。

【 0 0 6 6 】

バス調停回路 1 0 5 には、I RAM 1 0 6 への読み出し／書き込みアクセス窓口としてアドレス指定レジスタ 1 0 7 とデータレジスタ 1 0 8 を設けており、CPU b 2 0 0 から I RAM 1 0 6 へアクセスする際は、アドレス指定レジスタ 1 0 7 とデータレジスタ 1 0 8 を介してアクセスを行う。

【 0 0 6 7 】

第 2 の実施形態において、通常の動作は第 1 の実施形態と同様である。以下、第 2 の実施形態における新たな機能であるブート時の動作を説明する。

【0068】

(1) 電源オン時、CPU a 1 0 1 は処理プログラムの実行を行わずに、CPU b 2 0 0 からの通知を待つ。

【0069】

(2) CPU b 2 0 0 は、フラッシュROM 2 0 2 からCPU b 2 0 0 用の処理プログラムを読み出しながら処理実行を開始する。

【0070】

(3) CPU b 2 0 0 は、フラッシュROM 2 0 2 に格納されたCPU a 1 0 1 用の処理プログラムを読み出し、これをバス調停回路 1 0 5 に設けられたアドレス指定レジスタ 1 0 7 とデータレジスタ 1 0 8 を介してIRAM 1 0 6 へ書き込む。

【0071】

(4) 具体的には、CPU b 2 0 0 はフラッシュROM 2 0 2 からCPU a 1 0 1 用の処理プログラムの先頭データを読み出し、アドレス指定レジスタ 1 0 7 にIRAMの先頭アドレスを書き込み、データレジスタ 1 0 8 に先頭データを書き込む。バス調停回路 1 0 5 はアドレス指定レジスタ 1 0 7 に書き込まれたIRAMのアドレスに、データレジスタ 1 0 8 に書き込まれたデータを書き込む。

【0072】

(5) 次に、CPU b 2 0 0 はフラッシュROM 2 0 2 から次のデータを読み出し、アドレス指定レジスタ 1 0 7 にIRAMの前回アドレス+1を書き込み、データレジスタ 1 0 8 に次のデータを書き込む。バス調停回路 1 0 5 はアドレス指定レジスタ 1 0 7 に書き込まれたIRAMのアドレスに、データレジスタ 1 0 8 に書き込まれたデータを書き込む。

【0073】

(6) CPU b 2 0 0 は(5)を繰り返すことにより、すべてのCPU a 1 0 1 用の処理プログラムを読み出しIRAM 1 0 6 に書き込む。

【0074】

(7) CPU b 2 0 0 は、CPU a 1 0 1 用の処理プログラムのIRAM 1 0 6 への書き込みが完了すると、CPU a 1 0 1 に完了通知を行う。

【0075】

(8) CPUa101は、CPUb200からの完了通知を受けると、IRAM106に格納された処理プログラムを読み出しながら処理の実行を開始する。

【0076】

以上のように、処理プログラムをIRAM106にロードすることにより、CPUa101の処理速度を向上させることができる。また、フラッシュROM202をCPUA101とCPUb200とで共有にすることによりフラッシュROMの個数を削減でき、ひいてはシステム全体のコストを削減することができる。

【0077】

また、アドレス指定レジスタ107およびデータレジスタ108を設け、これらを介してCPUb200がIRAM106への処理プログラムの書き込みを行うことにより、CPUb200からアクセス指定するアドレスとして、IRAM106全体ではなくレジスタのアドレスを指定すれば良いだけになるため、CPUb200からアクセスするメモリ空間を削減することができる。これにより、CPU内蔵システムLSI100とCPUb200間のアドレスバスの端子数を削減することができる。

【0078】

また、アドレス指定レジスタ107は、データレジスタ108への書き込みが行われる度にインクリメントされるようにすることができる。これにより、上述したようにCPUa101用の処理プログラムをIRAM106の連続したアドレスに書き込む場合は、アドレス指定レジスタ107を毎回書き換える必要がなくなる。

【0079】

次に、本発明における第3の実施形態について説明する。第3の実施の形態は、CPUa101とCPUb200が割り込み信号によって互いに通知を行う方法に関するものである。

【0080】

図4は、本発明の第3の実施形態に係るCPU内蔵LSIを用いたシステム構

成を示すブロック図である。図4において、図1と同じ構成要素には同一符号を付し、それぞれの説明を省略する。また、共有バス、ROM、被制御デバイス、共有メモリについては、本実施形態の説明に直接関係無いので省略している。

【0081】

図4において、バス調停回路105にはCPU a用割り込み要因レジスタ109とCPU b用割り込み要因レジスタ110が設けられている。CPU a用割り込み要因レジスタ109およびCPU b用割り込み要因レジスタ110は、それぞれ図5に示すようにnビットのレジスタ構成となっており、全ビットの論理和がそれぞれ図4における割り込み信号IRQ0、IRQ1としてアサートされる。

【0082】

すなわち、割り込み要因レジスタのいずれかのビットに“1”が書き込まれると、該当する割り込み信号IRQ0またはIRQ1がアサートされる。CPU a用割り込み要因レジスタ109またはCPU b用割り込み要因レジスタ110は、各ビットを特定の割り込み要因に固定することなく、プログラマが自由にビット割り当てできる構造になっている。

【0083】

CPU a 101からCPU b 200へ、あるいはCPU b 200からCPU a 101への割り込みによる通知内容はいろいろな種類が考えられる。例えば、図2における共有メモリ104への書き込み完了やIRAMへの処理プログラム書き込み完了の通知に使用することができる。その他にも処理プログラムの内容によって多くの通知内容が発生すると考えられ、本実施の形態においては割り込み要因レジスタを設けることにより、そのビットをプログラマが自由に割り込み要因に割り付けることができ、処理プログラムの自由度を高めている。

【0084】

ここで動作例として、CPU a 101がCPU b用割り込み要因レジスタ110を使用してCPU b 200へ割り込み通知を行う処理の流れについて、図4を用いて説明する。

【0085】

(1) CPU a 1 0 1 は CPU b 用割り込み要因レジスタ 1 1 0 のビット 0 に “1” を書き込む。

【0 0 8 6】

(2) バス調停回路 1 0 5 は、CPU b 用割り込み要因レジスタ 1 1 0 の全ビットの論理和が “1” になったので、割り込み信号 IRQ 1 をアサートする。

【0 0 8 7】

(3) CPU b 2 0 0 は、割り込み信号 IRQ 1 がアサートされると、割り込みを受け付けるとともに CPU b 用割り込み要因レジスタ 1 1 0 を読み出し、ビット 0 が示す割り込み要因が通知されたことを認識する。

【0 0 8 8】

(4) CPU b 2 0 0 は、CPU b 用割り込み要因レジスタ 1 1 0 のビット 0 に “0” を書き込むことによりビット 0 をクリアする。

【0 0 8 9】

なお、本発明は上記実施形態 1 から実施形態 3 に限定されるものではない。例えば、上記実施形態では CPU が 2 つの場合で説明したが、CPU が 2 つ以上であっても同様の効果を得ることができる。また、CPU a の共有バスが外部に拡張されているかどうかは本発明においては問わない。また、信号の “H” と “L” をどの状態に割り振るかが問われないことは言うまでもない。

【0 0 9 0】

また、1 つのチップ内に複数の CPU を備えるマルチ CPU システム L S I においても、バスを複数に分け本発明のバス調停回路を設けることにより、複数の CPU が複数のバスに接続されたデバイスをそれぞれ制御可能となるので、マルチ CPU システムの処理効率を向上させることができる。

【0 0 9 1】

【発明の効果】

以上説明したように、本発明によれば、システム L S I に内蔵された CPU と外部 CPU がバスを共有する環境において、CPU 内蔵システム L S I にバス調停回路を設けることにより、CPU 内蔵システム L S I 内の共有バスと、外部 CPU が接続される外部拡張バスを分離させ、外部 CPU がその被制御デバイスへ

のアクセス中であっても、内蔵CPUは共有バスに接続されたROMデバイスをアクセスして処理プログラムを読み出し実行することができ、内蔵CPUの性能低下を回避できるという優れた効果が得られる。

【0092】

さらに本発明によれば、バス調停回路はバス開放要求信号とバス開放完了信号を用いた調停制御だけでなくチップセレクト信号とウェイト信号を用いた調停機能を備えることにより、外部CPUがバス調停機能を備えていなくてもバス調停を実現することができる。また、前記ウェイト信号を用いたハンドシェーク機能を使用することにより、外部のCPUを優先動作させることができ、外部CPUが制御するシステムのパフォーマンス低下に与える影響を最小限に抑えることができる。

【0093】

さらに本発明によれば、CPU内蔵システムLSIは内蔵CPU用のRAMを備え、外部CPUからRAMへ処理プログラムをロードすることにより、処理プログラムをROM化するリスクを避けながら低コストのシステムを実現することができる。

【0094】

さらに本発明によれば、バス調停回路に割り込みの要因のビット割り当て設定がプログラム可能な割り込み要因レジスタを備えることにより、内蔵CPUと外部CPU間の割り込み通知の要因をプログラマブルに実装することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係るCPU内蔵LSIを用いたシステム構成を示すブロック図。

【図2】

共有メモリへのアクセスにおける制御動作を説明するタイミングチャート。

【図3】

本発明の第2の実施形態に係るCPU内蔵LSIを用いたシステム構成を示すブロック図。

【図 4】

本発明の第 3 の実施形態に係る CPU 内蔵 L S I を用いたシステム構成を示すブロック図。

【図 5】

割り込み要因レジスタの構成図。

【図 6】

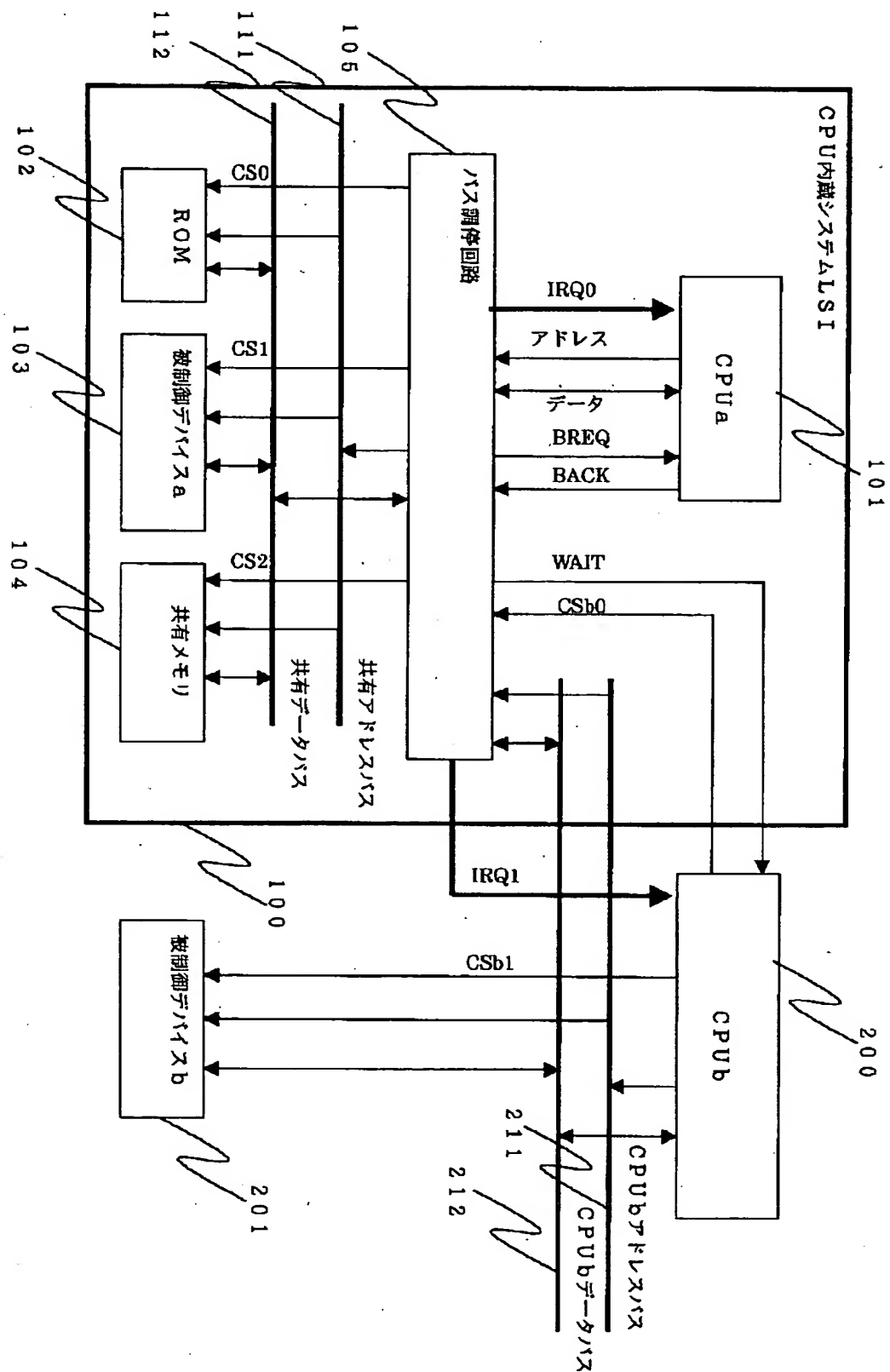
2 つの CPU がバスを共有する従来のシステム構成を示すブロック図。

【符号の説明】

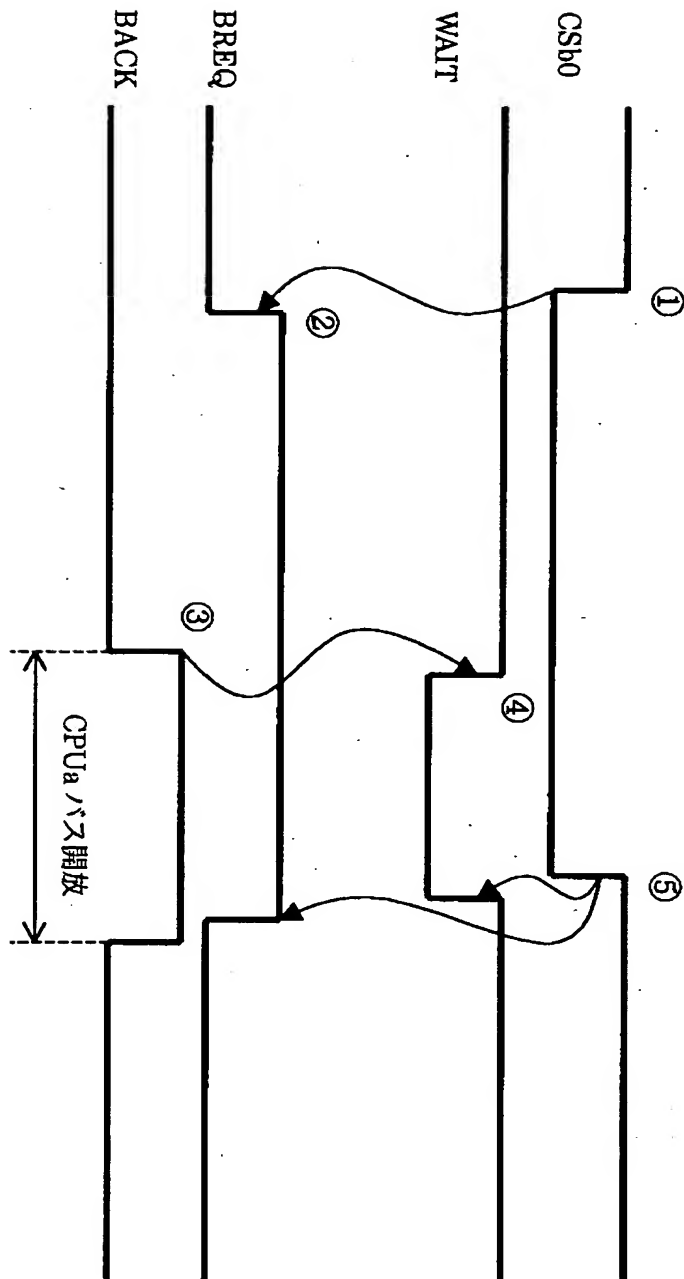
- 1 0 0 CPU 内蔵システム L S I
- 1 0 1 CPU a
- 1 0 2 ROM
- 1 0 3 被制御デバイス a
- 1 0 4 共有メモリ
- 1 0 5 バス調停回路
- 1 0 6 RAM
- 1 0 7 アドレス指定レジスタ
- 1 0 8 データレジスタ
- 1 0 9 CPU a 用割り込み要因レジスタ
- 1 1 0 CPU b 用割り込み要因レジスタ
- 1 1 1 共有アドレスバス
- 1 1 2 共有データバス
- 2 0 0 CPU b
- 2 0 1 被制御デバイス b
- 2 0 2 フラッシュ ROM
- 2 1 1 CPU b アドレスバス
- 2 1 2 CPU b データバス

【書類名】 図面

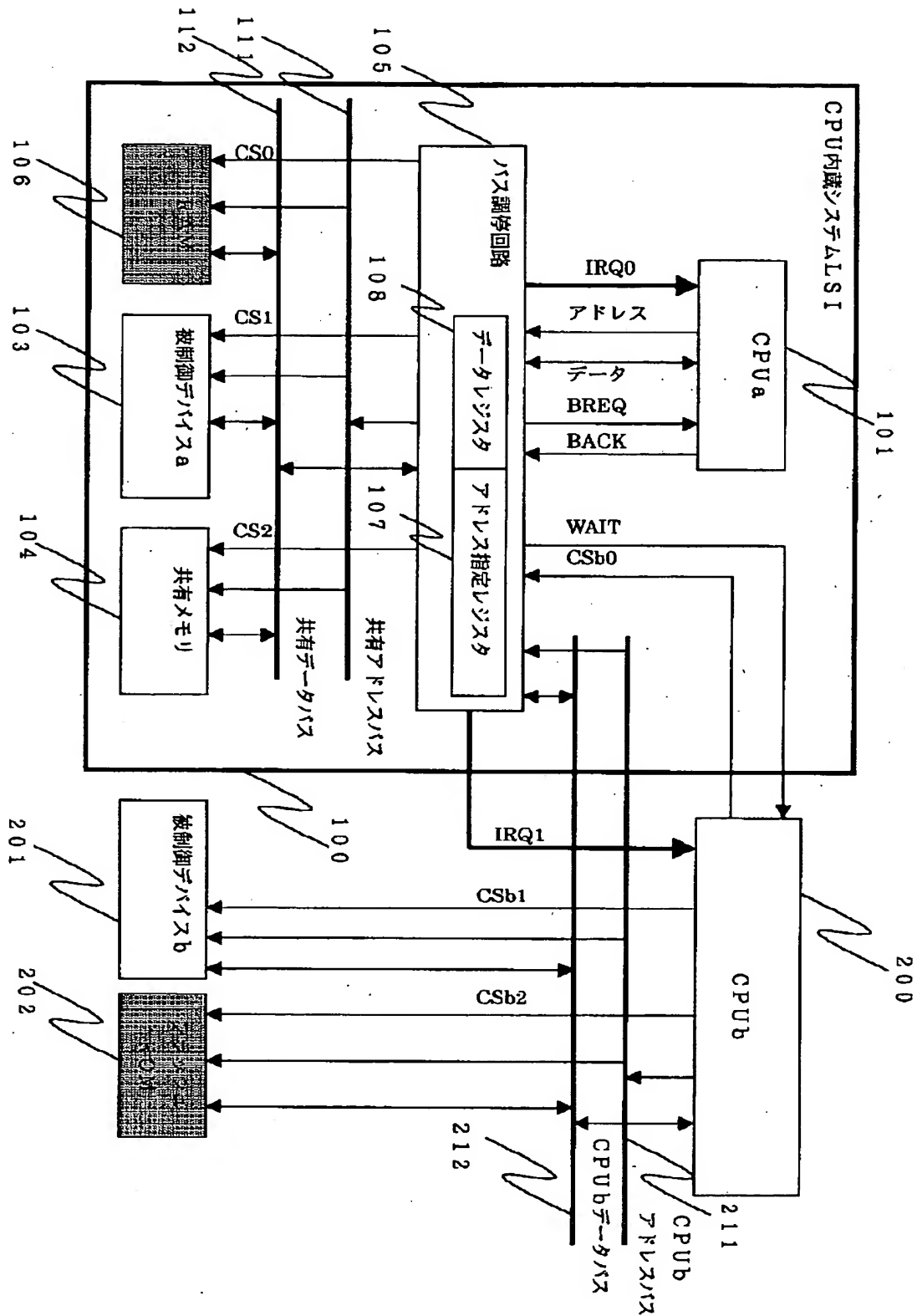
【図1】



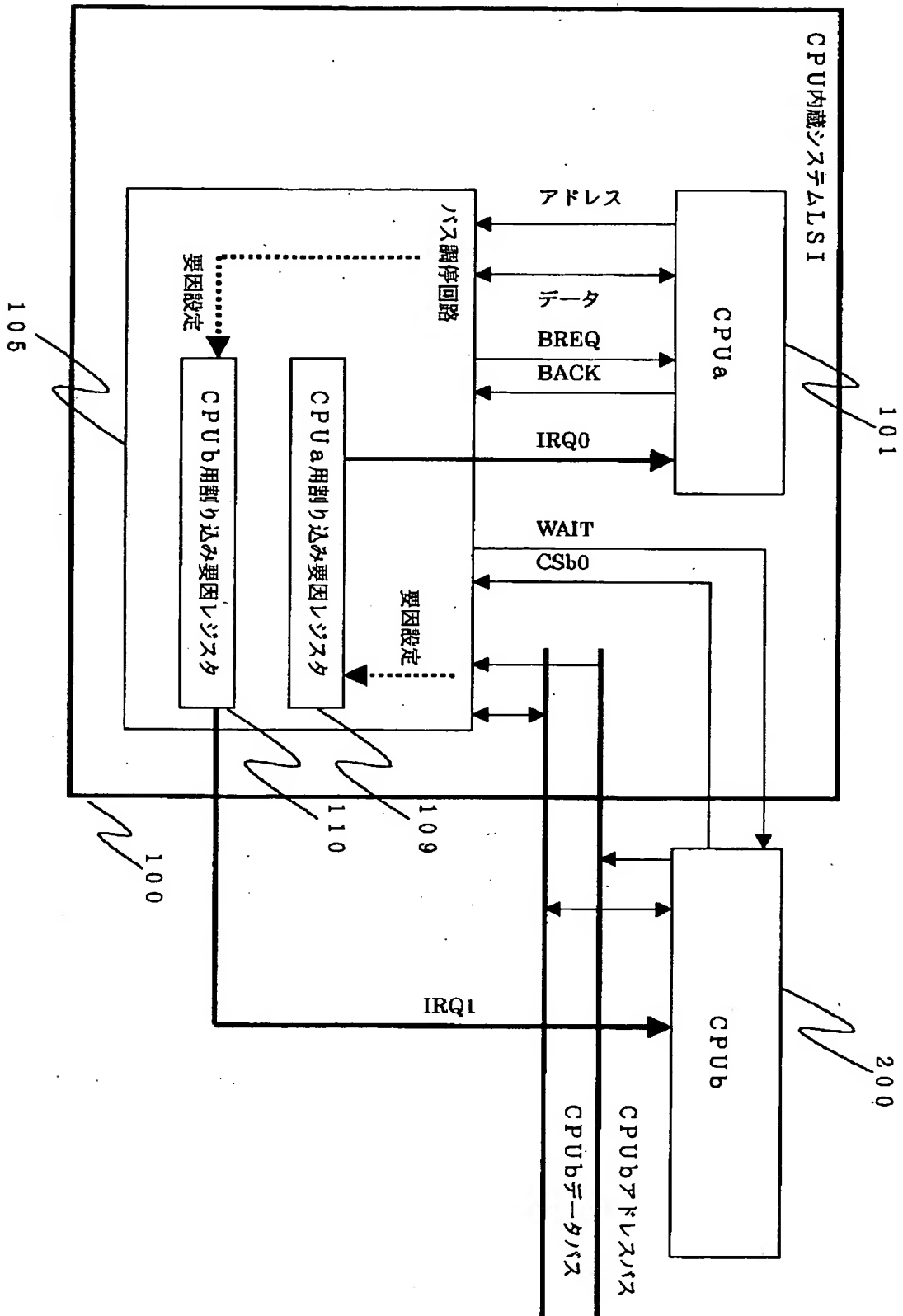
【図 2】



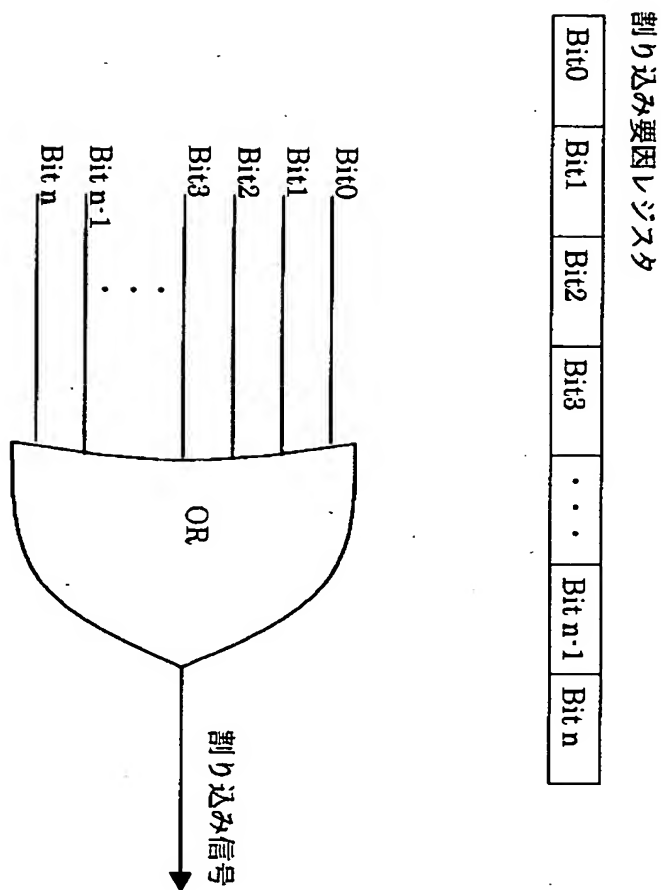
【図3】



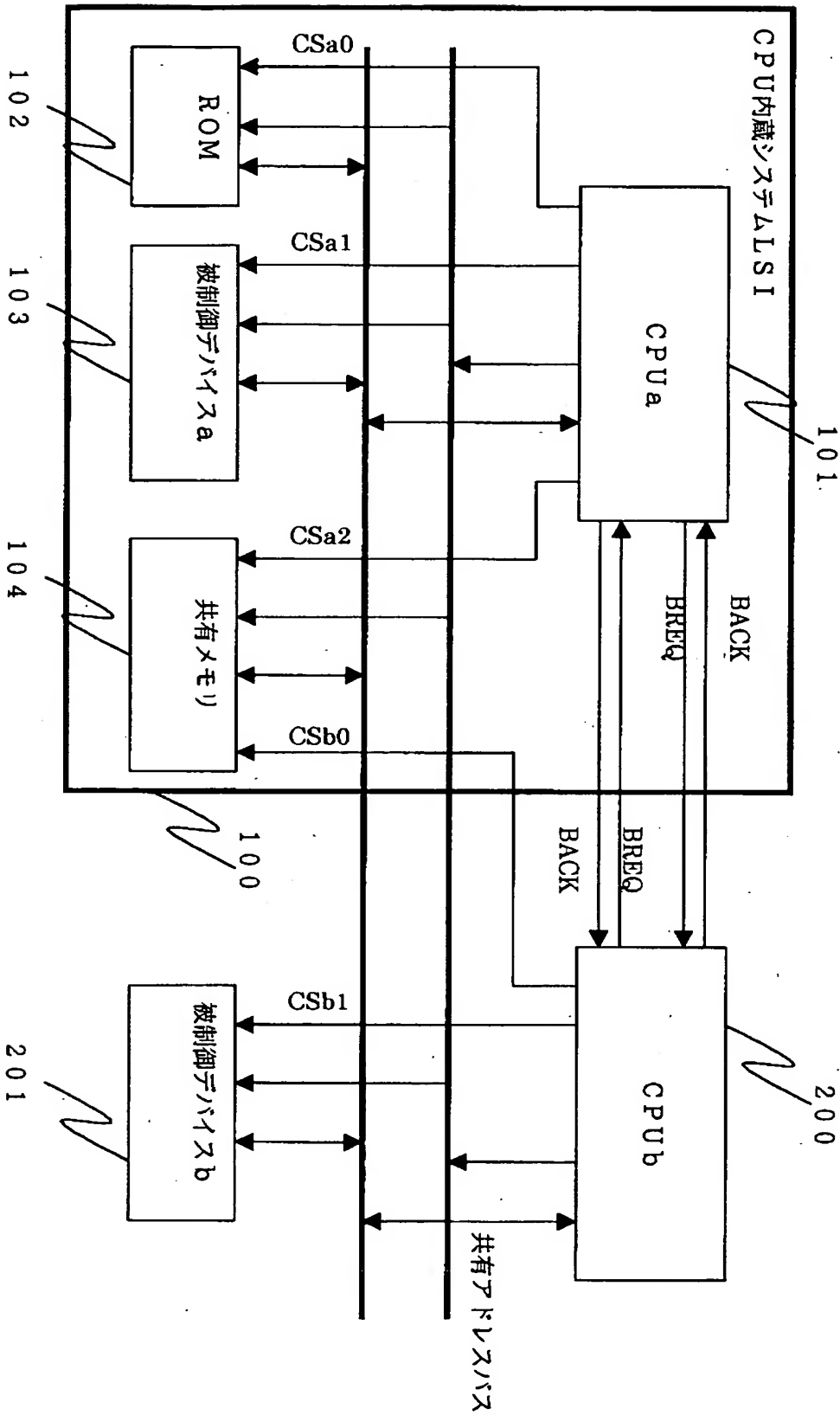
【図 4】



【図 5】



【図6】



【書類名】 要約書

【要約】

【課題】 CPU内蔵LSIと外部CPUがバスを共有するシステムにおいて、外部CPUがバスに接続された被制御デバイスにアクセスする際に、CPU内蔵LSIにおいて共有バス上に実装されたデバイスのアクセスを妨げないようにする。

【解決手段】 CPUaと、CPUaに接続された共有アドレス／データバス111、112と、CPUbに接続されたCPUbアドレス／データバス211、212と、共有アドレス／データバスとCPUbアドレス／データバスとの間に配置され、共有アドレス／データバスに接続されたデバイスに対するCPUbおよびCPUaからのアクセスを排他的に制御し、CPUbが共有アドレス／データバスに接続されたデバイスに対するアクセスを許可されたときにのみCPUbアドレス／データバスを共有アドレス／データバスに結合するバス調停回路105とを備える。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社